



**KOLEJ UNIVERSITI TEKNOLOGI
TUN HUSSEIN ONN**

**PEPERIKSAAN AKHIR
SEMESTER I
SESI 2006/07**

NAMA MATA PELAJARAN : ELEKTRONIK DIGIT
KOD MATA PELAJARAN : BEE 2233
KURSUS : 2 BET/BER/BEM/BEP
TARIKH PEPERIKSAAN : NOVEMBER 2006
JANGKA MASA : 2 JAM 30 MINIT
ARAHAN : JAWAB **DUA (2)** SOALAN DARIPADA
BAHAGIAN A DAN **DUA (2)** SOALAN
DARIPADA BAHAGIAN B DALAM 2
SKRIP JAWAPAN BERBEZA.

KERTAS SOALAN INI MENGANDUNGI 17 MUKA SURAT

SOALAN DALAM BAHASA MELAYU

BAHAGIAN A**(Jawab mana-mana dua (2) soalan dari bahagian ini)**

- S1 (a) Selesaikan masalah-masalah berikut
- (i) Tukarkan kod BCD 0110 0010 1001 kepada nombor perenambelasan (3 markah)
 - (ii) Tukarkan nombor perlapanan 712_8 kepada kod Gray. (3 markah)
 - (iii) Tukarkan nombor perpuluhan 10.1875_{10} kepada nombor perduaan. (3 markah)
 - (iv) Tukarkan nombor perenambelasan $5A.D_{16}$ kepada perpuluhan. (3 markah)
 - (v) Berapakah bilangan bit yang paling minimum untuk mewakili nombor perpuluhan tidak bertanda $10\,000_{10}$? (3 markah)
- (b) Rajah S1(b) menunjukkan empat suis yang merupakan sebahagian daripada litar kawalan sebuah mesin penyalin. Suis-suis ini diletakkan di beberapa titik disepanjang laluan kertas salinan yang melalui mesin itu. Setiap suis adalah dari jenis biasa-terbuka, dan akan tertutup apabila kerta melalui suis ini. Adalah mustahil bagi suis SW1 dan SW4 tertutup serentak. Rekabentuk litar logik yang akan menghasilkan keluaran TINGGI (1) apabila dua atau lebih suis tertutup pada satu-satu masa. Gunakan peta Karnaugh dan gunakan kelebihan keadaan tak hirau. (10 markah)
- S2 (a) Tukarkan persamaan berikut kepada bentuk piawai hasil-tambah-hasil-darab (SOP)
- $$Z = \overline{A \oplus B \oplus C}$$
- (6 markah)
- (b) Permudahkan ungkapan Boolean di bawah menggunakan teorem Boolean.
- (i) $Q = \overline{R \cdot S \cdot T} \cdot \overline{(R + S + T)}$ (3 markah)
 - (ii) $Z = (B + \overline{C}) \cdot (\overline{B} + C) + \overline{\overline{A + B + \overline{C}}}$ (3 markah)

- (c) Laksanakan ungkapan Boolean di bawah menggunakan get TAK-DAN dua masukan sahaja.

$$Z = (A \oplus B) \cdot \overline{(B \oplus C)}$$

(3 markah)

- (d) Rekakan satu litar elektronik yang mengambil dua nombor perduaan dua bit iaitu $X(x_1, x_0)$ dan $Y(y_1, y_0)$ dan menghasilkan satu nombor perduaan pada keluaran $Z(z_3, z_2, z_1, z_0)$ yang merupakan satu fungsi $Z = X+3Y$ bagi dua nombor masukan itu. Bermula dengan jadual kebenaran, permudahkan ungkapan bagi z_3, z_2, z_1 dan z_0 dan lukiskan litar logik tersebut untuk setiap keluaran secara berasingan.

(10 markah)

- S3 (a) Keadaan tak hirau dapat memudahkan proses merekabentuk litar logik gabungan. Dengan menggunakan contoh atau rajah yang sesuai, terangkan masalah yang mungkin berlaku dengan litar logik yang mempunyai keadaan tak hirau.

(3 markah)

- (b) Bermula dengan jadual kebenaran, rekabentuk litar penambah-separuh 1-bit. Dapatkan ungkapan Boolean termudah dan lukiskan litar ini.

(3 markah)

- (c) Bermula dengan jadual kebenaran, rekabentuk litar penambah penuh 1-bit. Gunakan kaedah peta Karnaugh untuk memudahkan ungkapan Boolean dan lukiskan litar ini.

(4 markah)

- (d) Buktikan dengan menggunakan teorem Boolean bahawa sebuah penambah penuh boleh dibina dengan menggunakan dua litar penambah-separuh. Lukiskan litar yang terhasil.

(6 markah)

- (e) Rajah S3(e) menunjukkan simbol logik litar bersepadu 74151: Pemultipleks 3 talian ke-8 talian. Tunjukkan dalam rajah yang diberikan bagaimana litar bersepadu ini boleh disambungkan bagi melaksanakan fungsi logik di bawah. Labelkan selengkapnya dan sertakan bersama helaian ini dengan skrip jawapan anda,

$$Z = A \oplus B \oplus C$$

(9 markah)

- S4 (a) Apakah frekuensi gelombang keluaran bagi sebuah flip-flop JK terpicu pinggir positif dengan masukan J dan K disambungkan pada TINGGI (1) dan masukan jam disambungkan kepada isyarat gelombang segi empat berfrekuensi 10 Mhz? (3 markah)
- (b) Terangkan satu (1) kelebihan dan satu (1) kekurangan pembilang segerak berbanding pembilang tak segerak dengan menggunakan contoh atau rajah yang sesuai. (4 markah)
- (c) Rajah S4(c)(i) menunjukkan gambarajah blok sebuah jam digit. Tunjukkan penyambungan bagi pembilang A, B dan C menggunakan IC 74LS293. Gunakan simbol logik seperti rajah S4(c)(ii). Litar dalaman litar bersepadu ini adalah seperti rajah S4(c)(iii). (9 markah)
- (d) Fakulti Kejuruteraan Mekanikal dan Pembuatan KUiTTHO akan menganjurkan perlumbaan GO-Kart. Untuk isyarat memulakan perlumbaan, sebuah lampu isyarat diperlukan. Lampu ini mempunyai tiga warna, merah (berhenti), kuning (sedia) dan hijau (mula). Selepas suis mula (SW) ditutup setiap lampu akan menyala mengikut masa yang ditunjukkan dalam jadual S4. Anda diminta membina litar di dalam kotak berlabel '?' pada rajah S4 (d) untuk lampu isyarat ini dan tentukan juga frekuensi isyarat jam. Anda dibenarkan menggunakan sebarang get logik. (9 markah)

BAHAGIAN B**(Jawab mana-mana dua (2) soalan dari bahagian ini)**

- S5 (a) Rajah S5(a) menunjukkan satu litar pembilang flip flop T dengan masukan T disambung ke logik '1'.
- (i) Lukiskan rajah pemasangan untuk litar ini dengan sekurang-kurangnya 16 denyutan jam. (9 markah)
- (ii) Lukiskan rajah keadaan untuk menunjukkan jujukan pengiraan. (4 markah)
- (iii) Apakah nombor mod bagi pembilang ini? (3 markah)
- (b) Lengkapkan rajah pemasangan untuk Rajah S5(b) bagi keluaran A, B dan C. (9 markah)
- S6 (a) Rekabentuk satu pembilang tak segerak yang akan mengira mengikut jujukan 6, 5, 4, 3, 2, 1 dan berulang. Guna hanya flip flop J-K yang mempunyai dua masukan kawalan aktif rendah PRE dan CLR. Terangkan operasi untuk rekabentuk anda secara ringkas. (20 markah)
- (b) Lukiskan rajah pemasangan untuk pembilang yang telah anda rekabentuk dalam S6(a). (5 markah)
- S7 (a) Satu kad DAQ 12 bit, -5V sehingga 5V, 60dB telah digunakan untuk mendigitkan satu isyarat masukan analog. Kirakan parameter berikut:
- (i) Kebezajelasan
- (ii) $\frac{1}{2}$ LSB toleransi ralat dalam peratusan. (5 markah)
- (b) Rajah S7(a) menunjukkan satu gelombang pada V_{AX} untuk penukar penghampiran berturutan 6-bit bagi satu langkah bersaiz 40mV dalam satu kitaran lengkap. Periksa gelombang ini dan huraikan apa yang telah berlaku pada masa t_0 sehingga t_5 . Kemudian, tentukan keluaran paduan berdigit. (10 markah)

- (c) Ralat kuantiti untuk satu ADC dalam Rajah S7(b) adalah sentiasa positif jika V_{AX} melebihi V_A supaya pembanding dapat mengeluarkan keluaran yang menukar keadaan. Ini bermakna nilai V_{AX} boleh menjadi sebanyak 1 LSB lebih besar daripada V_A . Ralat kuantiti boleh dilaraskan supaya V_{AX} dalam lingkungan $\pm 1/2$ LSB daripada V_A . Ini boleh dilakukan dengan menggunakan voltan tetap yang bersamaan $1/2$ LSB ($1/2$ langkah) daripada nilai V_{AX} . Rajah S7(b) menunjukkan penukar secara simbolik yang mempunyai kebezajelasan sebanyak 10mV/langkah. Voltan tetap +5mV ditambahkan kepada keluaran D/A di penguat pencampur dan keputusannya, V_{AY} , dimasukkan ke pembanding yang mempunyai voltage ambang sebanyak $V_T=1$ mV.

Untuk penukar yang diubahsuai ini, tentukan keluaran berdigit untuk nilai voltan V_A .

- (i) $V_A=5.022V$ (3 markah)
- (ii) $V_A=5.028V$ (3 markah)
- (iii) Berapakah ralat pengkuantuman dalam S7(b)(ii)? (4 markah)

S8 (a) Definiskan setiap yang berikut:

- (i) Pendaraban kelajuan kuasa
- (ii) Kelalian hingar
- (iii) Lengah perambatan

(9 markah)

- (b) Sekiranya satu litar logik mempunyai lima kipas-keluar, litar ini mempunyai lima keluaran. Benar atau palsu?

(2 markah)

- (c) Terangkan perbezaan arus tenggelam dan arus sumber.

(4 markah)

- (d) Rujuk kepada helaian data untuk IC NAND dua masukan 7400 dalam Rajah S8 (d), tentukan kuasa purata meluap maksima dan lengah perambatan purata untuk satu get.

(10 markah)

SOALAN DALAM BAHASA INGGERIS**PART A****(Answer any two (2) questions from this part)****Q1 (a)** Solve the following problem

(i) Convert BCD code 0110 0010 1001 to hexadecimal, (3 marks)

(ii) Convert octal 712_8 to Gray code. (3 marks)(iii) Convert decimal 10.1875_{10} to binary. (3 marks)(iv) Convert hexadecimal $5A.D_{16}$ decimal. (3 marks)(v) What is the minimum binary bits required to represent the unsigned $10\ 000_{10}$? (3 marks)

(b) Figure Q1(b) shows four switches that are part of a control circuitry in a copy machine. The switches are at various points along the path of the copy paper as the paper passes through the machine. Each switch is normally open, and as paper passes over a switch, the switch closes. It is impossible for switches SW1 and SW4 to be closed at the same time. Design the logic circuit to produce HIGH (1) output whenever two or more switches are closed at the same time. Use karnaugh map and take advantage of the don't care condition. (10 marks)

Q2 (a) Convert the following expression to standard sum-of-product (SOP) form.

$$Z = \overline{A} \oplus B \oplus C$$

(6 marks)

(b) Simplify the following expressions using Boolean theorem.

(i) $Q = \overline{R \cdot S \cdot T} \cdot \overline{(R + S + T)}$ (3 marks)

(ii) $Z = (B + \overline{C}) \cdot (\overline{B} + C) + \overline{\overline{A} + B + \overline{C}}$ (3 marks)

- (c) Accomplished the following expression using two input NAND gate only.

$$Z = (A \oplus B) \cdot \overline{(B \oplus C)}$$

(3 marks)

- (d) Design an electronic circuit that takes two 2-bit binary numbers $X(x_1, x_0)$ and $Y(y_1, y_0)$ and produces an output binary number $Z(z_3, z_2, z_1, z_0)$ that is equal to the function $Z = X+3Y$ of the two input numbers. Draw the logic circuit for each output functions separately.

(10 marks)

- S3** (a) Don't care condition can simplify combinational logic design process. With a suitable example or figure, explain the problem that might arise from a logic circuit that has don't care condition.

(3 marks)

- (b) Starting with a truth table, design a 1-bit half adder. Simplify the Boolean expression and draw the resulting circuit.

(4 marks)

- (c) Starting with a truth table, design a 1-bit full adder. Use karnaugh map method to simplify the Boolean expression and draw the resulting circuit.

(4 marks)

- (d) Prove using Boolean theorem that a full adder can be constructed using two half adder. Draw the resulting circuit.

(6 marks)

- (e) Figure Q3(e) shows the logic symbol of the integrated circuit 74151: 3 line-to-8 line multiplexer. Show in the given figure how this IC can be connected to perform the following logic expression. Label completely and include this sheet in your answer script.

$$Z = A \oplus B \oplus C$$

(9 marks)

- Q4** (a) What is the output frequency of positive edge triggered JK flip-flop with its J and K input connected to HIGH (1) and the clock input connected to a 10 MHz square wave.

(3 marks)

- (b) Explain one (1) advantage and one (1) disadvantages of a synchronous counter compared with an asynchronous counter using suitable example or figure.

(4 marks)

- (c) Figure Q4(c)(i) shows the block diagram of a digital clock. Show the connection for counter A, B and C using IC 74LS293. Use the logic symbol shown in figure Q4(c)(ii). The internal circuit of this IC is shown in figure Q4(c)(iii). (9 marks)
- (d) KUiTTHO Mechanical and Manufacturing Engineering Faculty will be organizing a go kart race. To signal the start of the race, a signal lamp is needed. This signal lamp has three colour lamps; red (stop), yellow (ready) and green (go). After the start switch (SW) is closed, each lamp will lit according to the time shown in table Q4. You are requested to design the circuit in the box labeled '?' in figure Q4(d) for this system, and also determine the clock signal frequency. You are allowed to use any logic gate. (9 marks)

PART B**(Answer any two (2) questions from this part)**

- Q5** (a) Figure Q5(a) shows a counter circuit of T flip-flop with the input T connected to logic '1'.
- Draw a timing diagram for this circuit with at least 16 clock pulses. (9 marks)
 - Draw the state diagram to show the counting sequence. (4 marks)
 - What is the mod number for this counter circuit? (3 marks)
- (b) Complete the timing diagram for Figure Q5(b) for output A, B and C. (9 marks)
- Q6** (a) Design an asynchronous counter that will count in a sequence of 6, 5, 4, 3, 2, 1 and repeat. Use only J-K flip-flop that has two active low control inputs PRE and CLR. Explain the operation of your design briefly. (20 marks)
- (b) Draw the timing diagram for the counter that has been designed in Q6(a). (5 marks)
- Q7** (a) A 12 bit, -5V to 5V, 60dB DAQ card has been used to digitize the input analog signal. Calculate the following parameter:
- Resolution
 - $\frac{1}{2}$ LSB of Error tolerance in percentage (5 marks)
- (b) Figure Q7(a) shows the waveform at V_{AX} for a 6-bit Successive Approximation Converter with a step size of 40mV during a complete conversion cycle. Examine this waveform and describe what is occurring at times t_0 to t_5 . Then determine the resultant digital output. (10 marks)

- (c) The quantization error of an ADC such as the one in Figure Q7(b) is always positive since the V_{AX} value must exceed V_A in order for the comparator output to switch states. This means the value of V_{AX} could be as much as 1 LSB greater than V_A . This quantization error can be modified so that V_{AX} would be within $\pm 1/2$ LSB of V_A . This can be done by adding a fixed voltage equal to $1/2$ LSB (1/2 step) to the value of V_{AX} . Figure Q7 (b) shows this symbolically for a converter that has a resolution of 10mV/step. A fixed voltage of +5mV is added to the D/A output in the summing amplifier and the result, V_{AY} , is fed to the comparator, which has $V_T=1$ mV.

For this modified converter, determine the digital output for the following V_A values.

- (i) $V_A=5.022V$ (3 marks)
- (ii) $V_A=5.028V$ (3 marks)
- (iii) How much is the quantization error in Q7(b)(ii)? (4 marks)

Q8 (a) Define each of the following:

- (i) Speed power product
- (ii) Noise immunity
- (iii) Propagation delays (9 marks)

(b) If a logic circuit has a fan-out of 5, the circuit has 5 outputs. True or false? (2 marks)

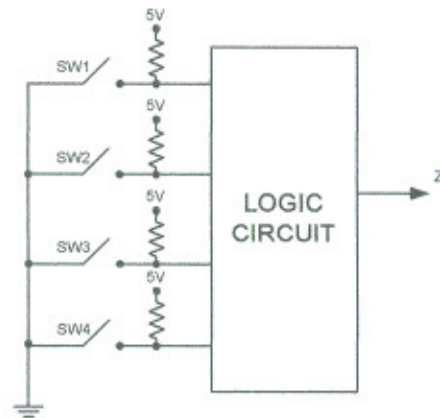
(c) Describe the differences between current sourcing and sinking (4 marks)

(d) Refer to the data sheet for the 7400 quad two-input NAND IC in Figure Q8(d). Determine the maximum average power dissipation and the maximum average propagation delay of a single gate. (10 marks)

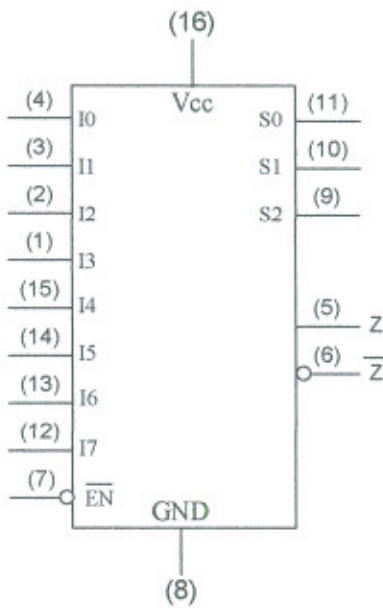
PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
 MATA PELAJARAN : ELEKTRONIK DIGIT

KURSUS : 2 BER-BET BEM-BEP
 KOD MATA PELAJARAN : BEE 2233



Rajah S1(b) /Figure Q1(b)

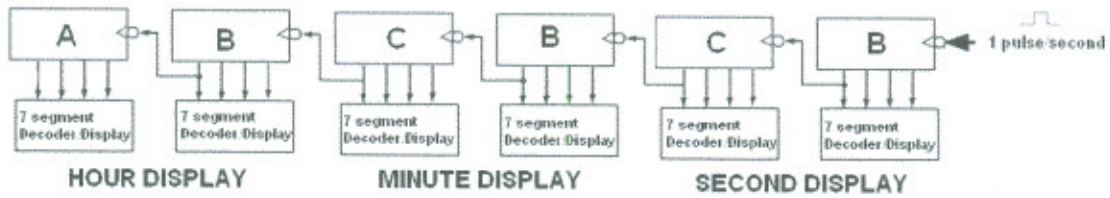


Rajah S3(e) /Figure Q3(e)

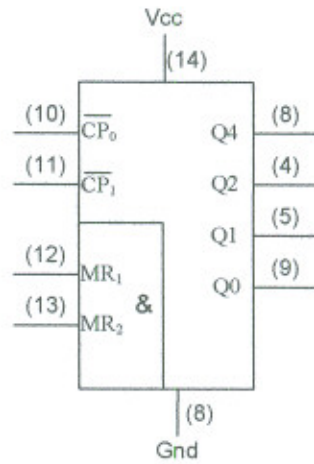
PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
 MATA PELAJARAN : ELEKTRONIK DIGIT/

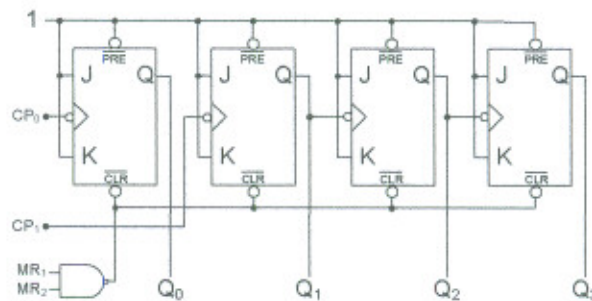
KURSUS : 2 BER/BET/BEM/BEP
 KOD MATA PELAJARAN : BEE 2233



Rajah S4(c)(i) /Figure Q4(c)(i)



Rajah S4(c)(ii) /Figure Q4(c)(ii)



Rajah S4(c)(iii) /Figure Q4(c)(iii)

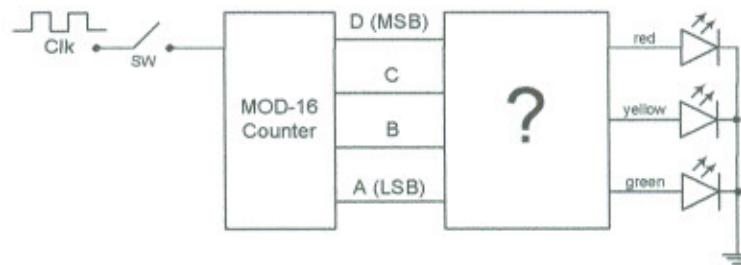
PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
 MATA PELAJARAN : ELEKTRONIK DIGIT

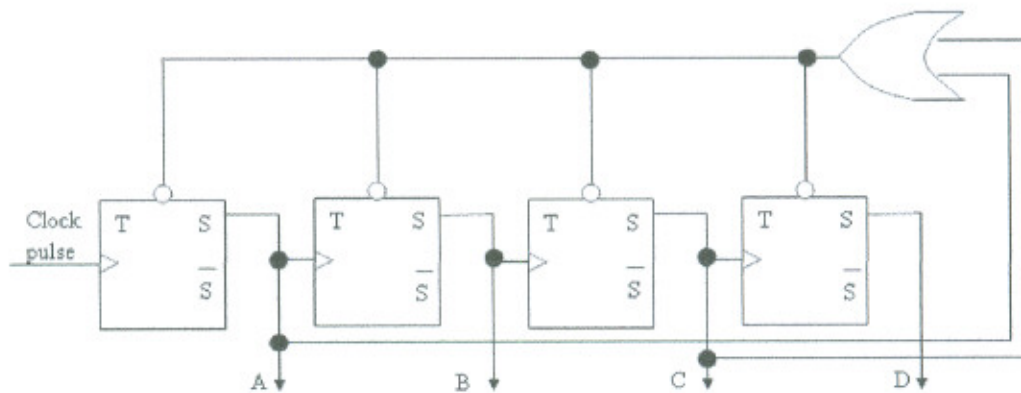
KURSUS : 2 BER-BET BEM-BEP
 KOD MATA PELAJARAN : BEE 2233

colour	time (sec)
Red	8
Yellow	4
Green	4

Jadual S4 /Table Q4



Rajah S4(d) /Figure Q4(d)

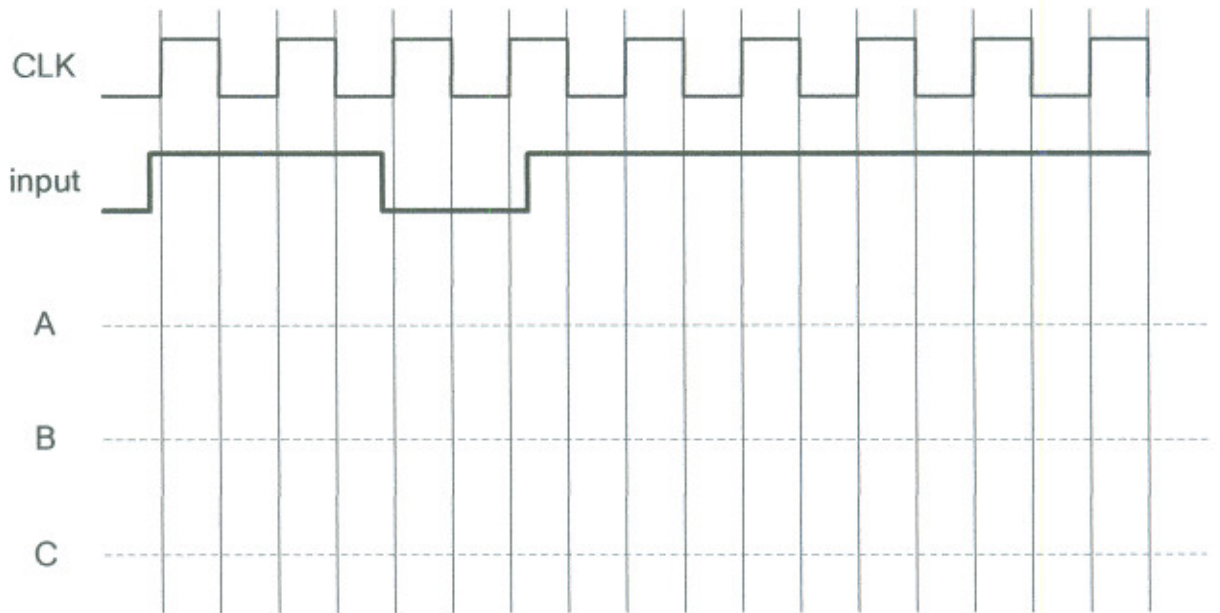
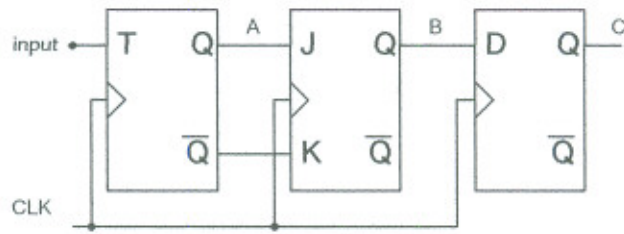


Rajah S5(a) /Figure Q5(a)

PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
MATA PELAJARAN : ELEKTRONIK DIGIT

KURSUS : 2 BER BET BEM BEP
KOD MATA PELAJARAN : BEE 2233

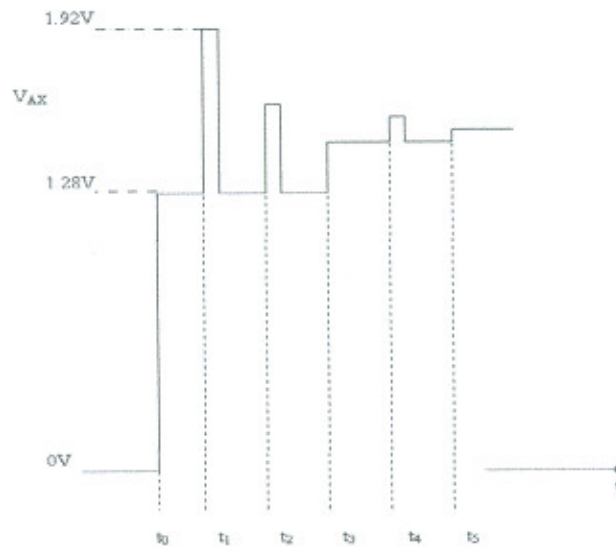


Rajah S5(b) /Figure Q5(b)

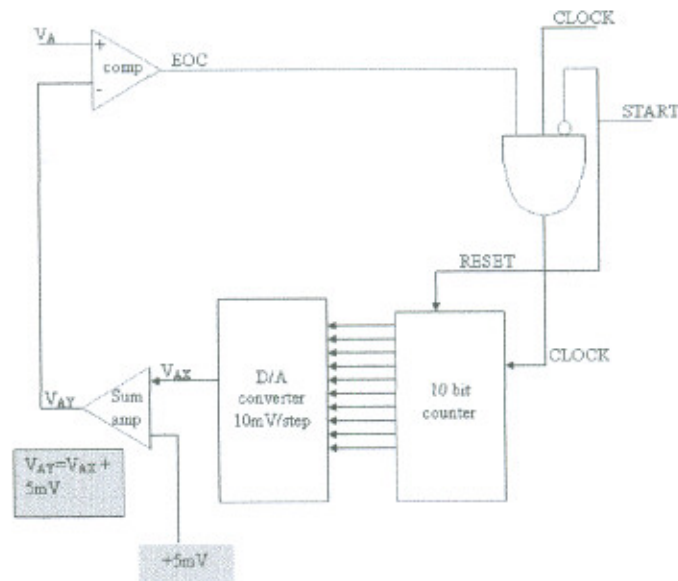
PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
 MATA PELAJARAN : ELEKTRONIK DIGIT

KURSUS : 2 BER BET BEM BEP
 KOD MATA PELAJARAN : BEE 2233



Rajah S7(a) /Figure Q7(a)



Rajah S7(b) /Figure Q7(b)

PEPERIKSAAN AKHIR

SEMESTER/SESI : I/2006/07
MATA PELAJARAN : ELEKTRONIK DIGIT

KURSUS : 2 BER.BET.BEM/BEP
KOD MATA PELAJARAN : BEE 2233

Recommended operating conditions

	SN 5400			SN 7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage			0.8			0.8	V
I_{OH} High-level output current			-0.4			-0.4	mA
I_{OL} Low-level output current			16			16	mA
T_A Operating free-air temperature	-55		125	0		70	°C

Electrical characteristic over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN 5400			SN 7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}	$V_{CC} = \text{MIN}, I_I = -12\text{mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}, V_{IH} = 0.8\text{V}, I_{OH} = -0.4\text{mA}$	2.4	3.4		2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}, V_{IH} = 2\text{V}, I_{OL} = 16\text{mA}$		0.2	0.4		0.2	0.4	V
I_I	$V_{CC} = \text{MAX}, V_I = 5.5\text{V}$			1			1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.4\text{V}$			40			40	µA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4\text{V}$			-1.6			-1.6	mA
I_{CC}^\ddagger	$V_{CC} = \text{MAX}$	-20		-55	-20		-55	mA
I_{CCH}	$V_{CC} = \text{MAX}, V_I = 0\text{V}$		4	8		4	8	mA
I_{CCU}	$V_{CC} = \text{MAX}, V_I = 4.5\text{V}$		12	22		12	22	mA

† for conditions shown as MIN or MAX, use appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$

§ Not more than one output should be shorted at a time

Switching characteristics, $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$ (see note 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 200\Omega$ $C_L = 15\text{pF}$		11	22	ns
t_{PHL}					7	15	ns

Rajah S8 (d) /Figure Q8 (d)