



**KOLEJ UNIVERSITI TEKNOLOGI
TUN HUSSEIN ONN**

**PEPERIKSAAN AKHIR
SEMESTER 1
SESI 2006/2007**

NAMA MATA PELAJARAN : PRINSIP ELEKTRONIK

KOD MATA PELAJARAN : BEE 2113

KURSUS : 2 BET/BEP/BEM/BER

TARIKH PEPERIKSAAN : NOVEMBER 2006

JANGKA MASA : 3 JAM

ARAHAN : JAWAB LIMA (5) SOALAN
SAHAJA DARIPADA ENAM (7)
SOALAN.

KERTAS SOALAN INI MENGANDUNGI 13 MUKA SURAT

- S1** (a) Terangkan perbezaan antara diod biasa dengan diod zener. (3 markah)
- (b) Seorang pereka memerlukan satu bekalan teratur 15 V untuk suatu aplikasi dimana terdapat sumber bekalan yang tidak teratur sebanyak 25V. Rekabentuk satu pengatur voltan diod zener untuk operasi keluaran yang diperlukan dengan beban nominal 15 mA dan arus sumber 30 mA. Apakah kuasa yang diresap oleh diod zener? (6 markah)
- (c) Lilitan pendua transformer dengan keluaran bentuk sinus 12-V_{rms} pada 50 Hz digunakan untuk memacu penerus jeambat yang menggunakan diod silikon yang mempunyai susutan voltan 0.7 V. Beban adalah satu perintang bernilai 1 k Ω .
- (i) Lukiskan litar penerus ini.
(ii) Lakarkan dan labelkan gelombang voltan keluaran.
(iii) Apakah nilai voltan dan arus purata?
(iv) Apakah nilai voltan puncak balikan untuk setiap diod? (11 markah)
- S2** (a) Lukiskan gelombang voltan keluaran, V_{out} untuk litar di Rajah S2(a) jika diod silikon dengan voltan ambang 0.7 V digunakan. (4 markah)
- (b) Rajah S2(b)(i) adalah satu penguat pengeluar sepunya pincangan pembahagi voltan. Jika garis beban dan titik Q litar tersebut adalah seperti ditunjukkan di Rajah S2(b)(ii),
- (i) Tentukan nilai-nilai V_{CC} , R_E , R_C , R_1 dan R_2 yang diperlukan. Anggap $V_{BE} = 0.7$ V, $\beta R_E \geq 10R_2$ dan $V_E = 0.1V_{CC}$.
(ii) Lukiskan litar setara au dan tentukan gandaan voltan, galangan masukan dan galangan keluaran jika galangan keluaran au transistor, $r_o = \infty$. (16 markah)
- S3** (a) Lakarkan lengkung ciri-ciri pindahan untuk JFET, D-MOSFET dan E-MOSFET dan terangkan perbezaan antara mereka. (6 markah)
- (b) Untuk litar penguat FET pincangan pembahagi voltan di Rajah S3(b), lakukan yang berikut:
- (i) Tentukan titik operasi I_{DQ} dan V_{GSQ} .
(ii) Lukiskan litar setara au dan tentukan galangan masukan, galangan keluaran dan gandaan voltan penguat. (14 markah)

- S4** (a) Rajah S4(a) menunjukkan litar pengikut pengeluar Darlington. Tentukan gandaan voltan, galangan masukan dan keluaran jika $V_{BE} = 1.6 \text{ V}$ dan gandaan arus $\beta_D = 8000$. (7 markah)
- (b) Dengan mengangapkan transistor dalam litar Rajah S4(b) adalah sepadan dan $V_{BE} = 0.7 \text{ V}$, $\beta = 75$ tentukan:
- Nilai perintang pengeluar R_E supaya arus pengeluar, $I_E = 850 \mu\text{A}$.
 - Gandaan pembeza A_d , gandaan mod sepunya A_{cm} and nisbah tolakan mod sepunya (CMRR) dalam dB untuk keluaran tunggal di V_{o2} . (9 markah)
- (c) Satu sumber arus tetap seperti ditunjukkan di Rajah S4(c) direkabentuk untuk menggantikan perintang pengeluar tetap di Rajah S4(b). Sumber arus itu harus memastikan titik operasi penguat pembeza itu tidak berubah (I_E tidak berubah) seperti litar yang menggunakan perintang pengeluar tetap di bahagian S4(b). Tentukan nilai R_E yang diperlukan jika $V_{BE} = 0.7 \text{ V}$, $V_B = 0.5V_{EE}$, $R_1 = R_2 = 10 \text{ k}\Omega$ dan $I_{R1} \gg I_{B3}$. (4 markah)
- S5** Untuk rangkaian litar di Rajah S5:
- Tentukan *transconductance*, g_m . (5 markah)
 - Tentukan gandaan voltan frekuensi-tengah, $A_v = V_o/V_i$ dan $A_{v_s} = V_o/V_s$. (4 markah)
 - Lukiskan litar setara au untuk frekuensi rendah dan frekuensi tinggi dan tentukan frekuensi potong rendah dan frekuensi potong tinggi untuk keseluruhan sistem. (8 markah)
 - Lakarkan sambutan frekuensi dan kirakan lebar jalur penguat. (3 markah)

- S6 Untuk litar penguat berbilang peringkat di Rajah S6:
- (a) Tentukan voltan pincangan at setiap peringkat (I_{DQ} , V_{GSQ} , I_{BQ} , I_{CQ} and V_{CEQ}).
(7 markah)
- (b) Lukiskan litar setara au dan tentukan:
- (i) Galangan masukan dan galangan keluaran
 - (ii) Gandaan voltan untuk setiap peringkat
 - (iii) Gandaan voltan keseluruhan penguat ini.
- (13 markah)
-
- S7 (a) Lakarkan voltan keluaran keadaan mantap bagi isyarat masukan yang diberikan pada litar dalam Rajah S7(a).
(6 markah)
- (b) Bagi tatarajah litar yang ditunjukkan dalam Rajah S7(b), tentukan:
- (i) arus pemungut, I_{CQ} dan voltan pemungut-pemancar, V_{CEQ} rintangan a.u., r_e .
 - (ii) galangan masukan, Z_i dan galangan keluaran, Z_o .
 - (iii) gandaan voltan tanpa beban, A_{VNL} .
 - (iv) gandaan voltan berbeban, A_V .
 - (v) gandaan voltan keseluruhan, A_{VS} .
 - (vi) voltan keluaran, V_o .
- (14 markah)

- Q1** (a) Describe the differences between a normal diode and a zener diode. (3 marks)
- (b) A designer needs a well-regulated 15 V supply in an application where a poorly regulated 25V source is available. Design a zener diode voltage regulator circuit for desired output operation with a 15 mA nominal load and source current of 30 mA. What is the power dissipated in the zener diode? (6 marks)
- (c) A transformer secondary windings whose output is a 12-Vrms sinusoid at 50 Hz is used to drive a bridge rectifier using silicon diodes whose conduction can be modeled by 0.7 V drops. The load is a 1 k Ω resistor.
 (i) Draw the rectifier circuit
 (ii) Sketch and label the load voltage waveform
 (iii) What is the average voltage and current?
 (iv) What is the peak inverse voltage for each diode? (11marks)
- Q2** (a) Draw the output waveform V_{out} for the circuit in Figure Q2(a) if silicon diodes with threshold voltage of 0.7 V are used. (4 marks)
- (b) Figure Q2(b)(i) is a voltage divider bias common-emitter amplifier. If the load line and defined Q-point is as shown in Figure Q2(b)(ii),
 (i) Determine the required values for V_{CC} , R_E , R_C , R_1 and R_2 . Assume $V_{BE} = 0.7$ V, $\beta R_E \geq 10R_2$ and $V_E = 0.1V_{CC}$.
 (ii) Draw the ac equivalent circuit and determine the voltage gain, input impedance and output impedance assuming the transistor ac output impedance, $r_o = \infty$. (16 marks)
- Q3** (a) Sketch the transfer characteristics curve of a JFET, D-MOSFET and E-MOSFET and describe the differences between them. (6 marks)
- (b) For the voltage divider bias FET circuit in Figure Q3 (b), do the following:
 (i) Determine the operating point, I_{DQ} and V_{GSQ} .
 (ii) Draw the ac equivalent circuit and determine the input impedance, output impedance and voltage gain of the amplifier. (14 marks)

- Q4** (a) Figure Q4(a) shows a Darlington emitter follower. Determine the voltage gain, input and output impedance if $V_{BE} = 1.6$ V and $\beta_D = 8000$.
(7 marks)
- (b) Assuming that the transistors in the circuit in Figure Q4(b) are very well matched and $V_{BE} = 0.7$ V, $\beta = 75$ determine:
- The emitter resistor R_E so that the emitter current $I_E = 850$ μ A.
 - The differential gain A_d , common-mode gain A_{cm} and CMRR in dB for a one-sided output at V_{o2} .
- (9 marks)
- (c) A constant current source as shown in Figure Q4(c) is designed to replace the fixed emitter resistor in Figure Q4(b). The current source should make the differential amplifier operating point be identical (I_E remains unchanged) to what it was with the fixed resistor circuit in part Q4(b). Determine the required value of R_E if $V_{BE} = 0.7$ V, $V_B = 0.5V_{EE}$, $R_1 = R_2 = 10$ k Ω and $I_{R1} \gg I_{B3}$.
(4 marks)

Q5 For the network of Figure Q5:

- Determine the transconductance, g_m
(5 marks)
- Determine the mid-frequency voltage gains $A_v = V_o/V_i$ and $A_{v_s} = V_o/V_s$.
(4 marks)
- Draw the low frequency ac and high frequency ac equivalent circuit and determine the overall low and high cut-off frequencies.
(8 marks)
- Sketch the frequency response and calculate the bandwidth of the amplifier.
(3 marks)

Q6 For the multistage amplifier circuit in Figure Q6:

- Determine the dc bias voltage for each stage (I_{DQ} , V_{GSQ} , I_{BQ} , I_{CQ} and V_{CEQ}).
(7 marks)
- Draw the ac equivalent circuit and determine:
 - The input impedance and output impedance
 - The voltage gain for each stage
 - The overall voltage gain of the amplifier.

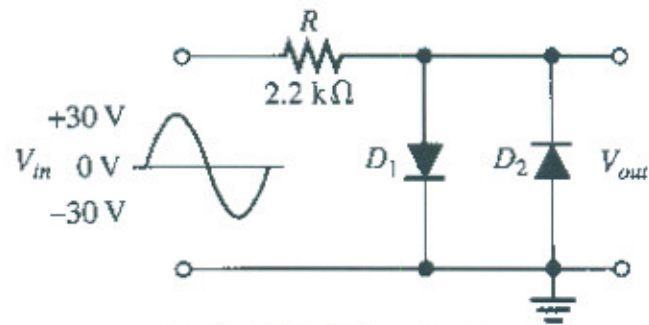
(13 marks)

- Q7 (a) Sketch the steady-state output voltage for the input signal given for the circuit in Figure Q7(a). (6 marks)
- (b) For the circuit configuration shown in Figure Q7(b), determine:
- (i) collector current, I_{CQ} and collector-emitter voltage, V_{CEQ}
 - (ii) a.c. resistance, r_e
 - (iii) input impedance, Z_i and output impedance, Z_o
 - (iv) unloaded voltage gain, A_{VNL}
 - (v) loaded voltage gain, A_V
 - (vi) overall voltage gain, A_{VS}
 - (vii) output voltage, V_o
- (14 marks)

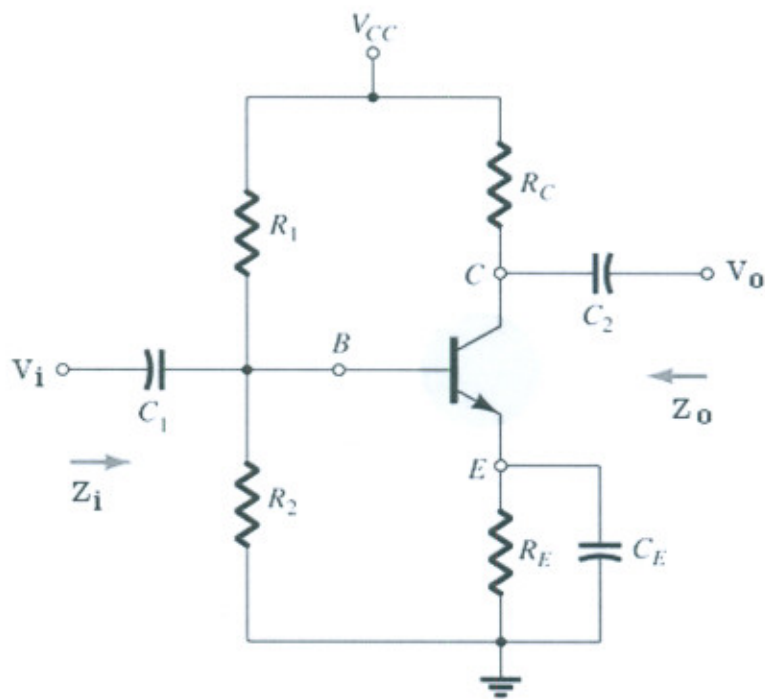
PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113



Rajah S2(a) / Figure Q2(a)

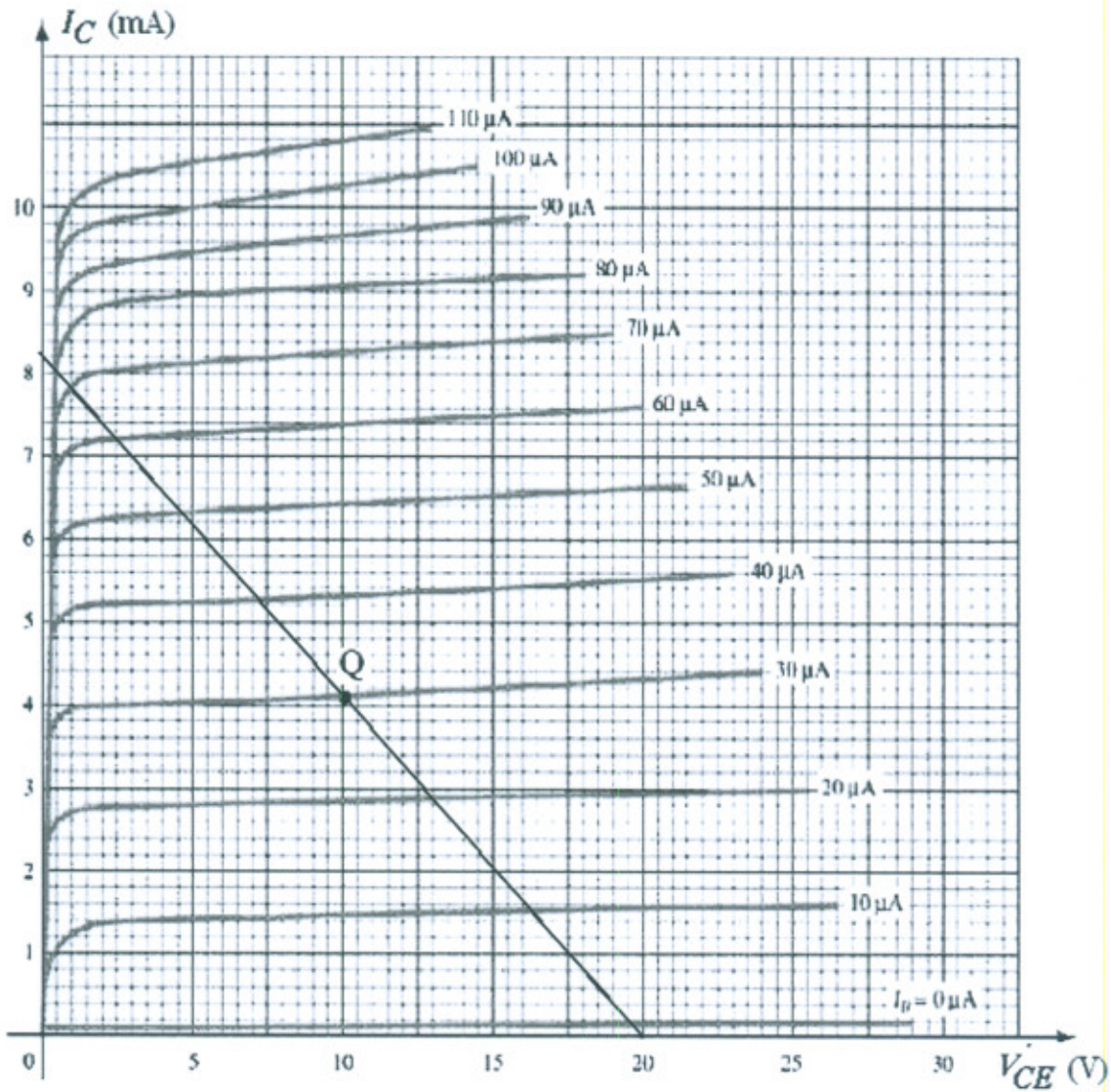


Rajah S2(b)(i) / Figure Q2(b)(i)

PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113

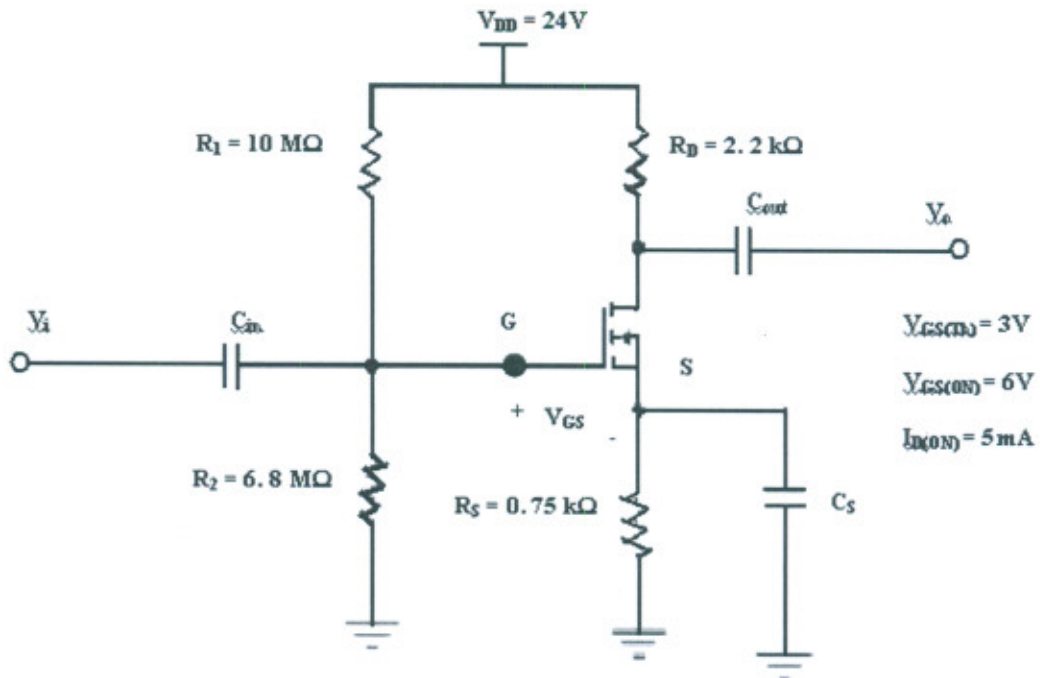


Rajah S2(b)(ii) / Figure Q2(b)(ii)

PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113

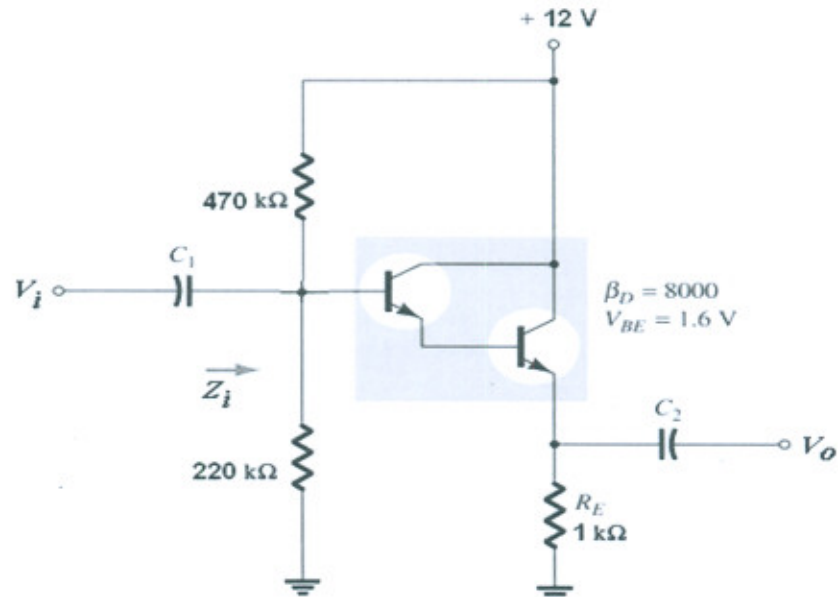


Rajah S3(b) / Figure Q3(b)

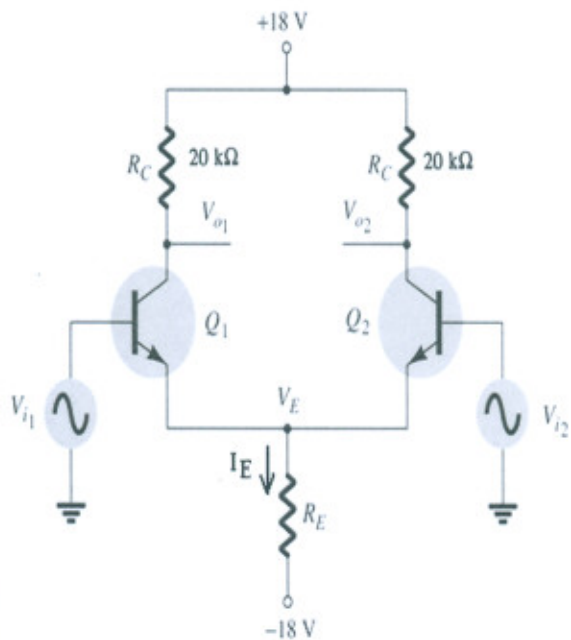
PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

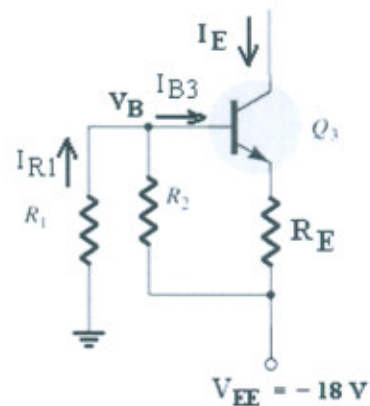
KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113



Rajah S4(a) / Figure Q4(a)



Rajah S4(b) / Figure Q4(b)

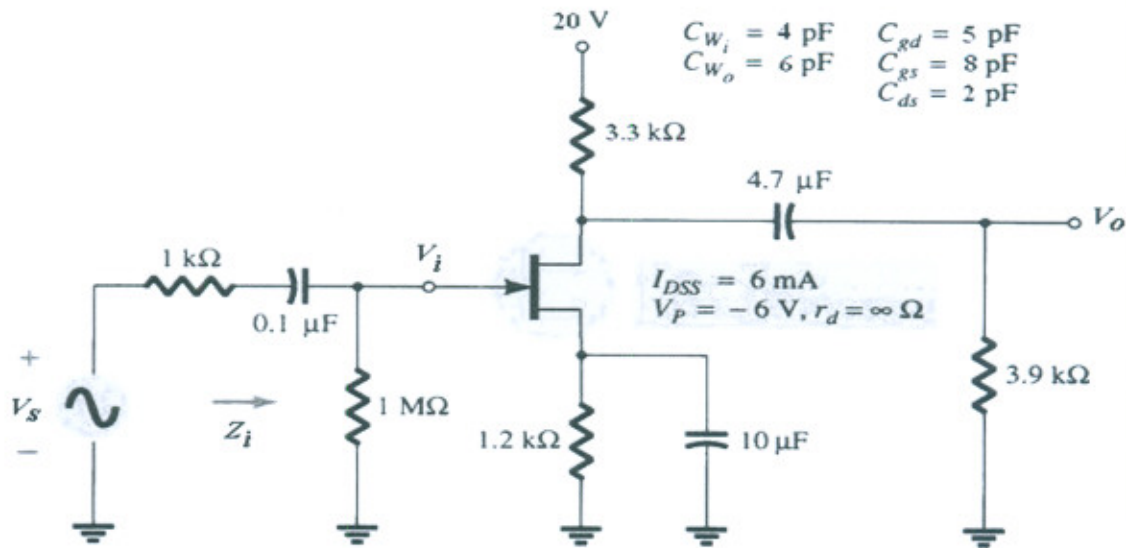


Rajah S4(c) / Figure Q4(c)

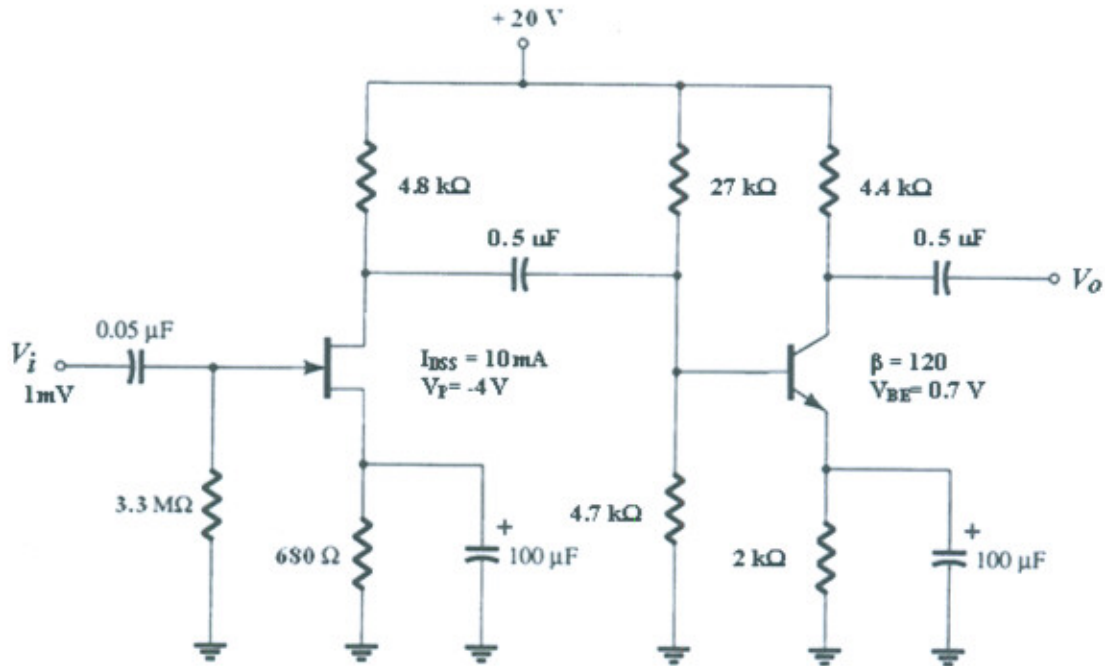
PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113



Rajah S5 / Figure Q5

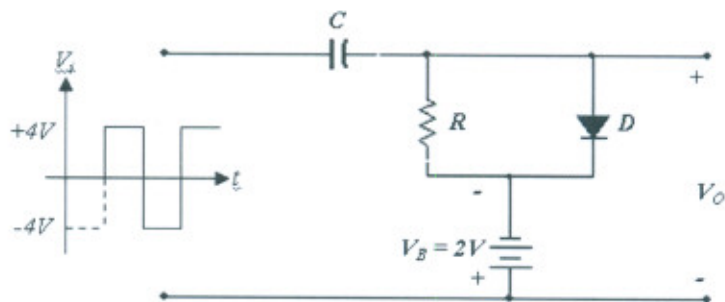


Rajah S6 / Figure Q6

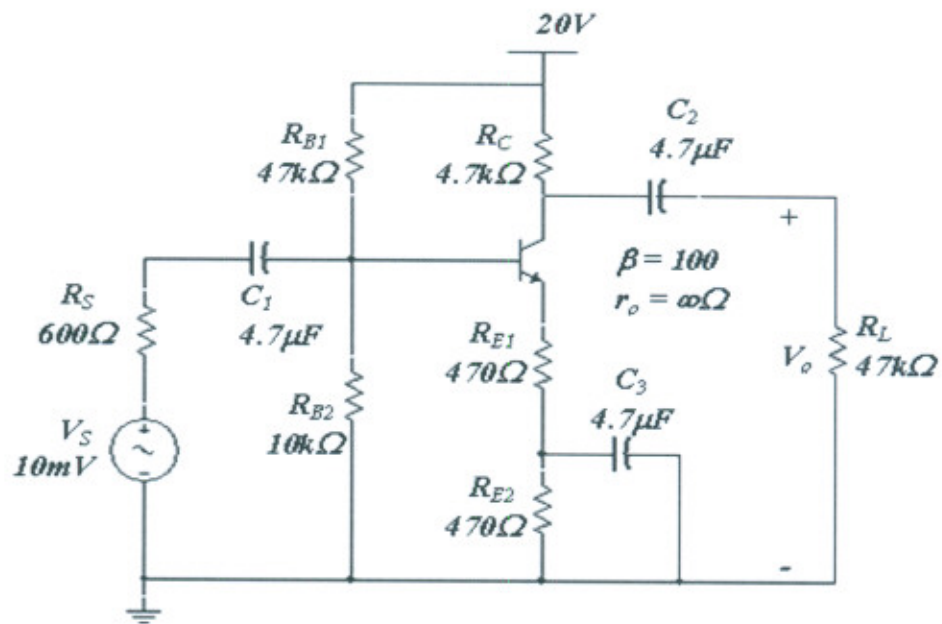
PEPERIKSAAN AKHIR

SEMESTER.SESI : SEMESTER 1/2006/2007
 MATAPELAJARAN : PRINSIP ELEKTRONIK

KURSUS: 2 BET/BEP/BEM/BER
 KOD MATAPELAJARAN: BEE2113



Rajah S7(a) / Figure Q7(a)



Rajah S7(b) / Figure Q7(b)