



KOLEJ UNIVERSITI TEKNOLOGI
TUN HUSSEIN ONN

PEPERIKSAAN AKHIR
SEMESTER II
SESI 2004/2005

NAMA MATAPELAJARAN : REKABENTUK SISTEM DIGIT /
REKABENTUK LITAR DIGIT

KOD MATAPELAJARAN : BEE 3133 / BKE 3413

KURSUS : 3 BEE / 3 BKE

TARIKH PEPERIKSAAN : MAC 2005

JANGKA MASA : 3 JAM

ARAHAN : JAWAB **LIMA (5)** SOALAN SAHAJA
DARIPADA TUJUH (7) SOALAN

KERTAS SOALAN INI MENGANDUNGI 7 MUKA SURAT

- S1** Rekabentuk satu litar dengan keluaran f dan masukan x_1, x_0, y_1 dan y_0 . Katakan $X = x_1x_0$ adalah satu nombor dengan empat nilai kemungkinan 00, 01, 10 dan 11, yang masing-masing mewakili empat nombor 0, 1, 2 dan 3. Begitu juga $Y = y_1y_0$ mewakili nombor lain yang mengandungi nilai kemungkinan yang sama. Keluaran f mesti sama 1 sekiranya kedua-dua nombor X dan Y adalah sama. Selain itu, f mesti sama 0.
- (a) Tunjukkan jadual kebenaran untuk f . (8 markah)
- (b) Sintesis persamaan hasil darab tambah untuk f yang termudah. (4 markah)
- (c) Melaksanakan litar dengan menggunakan get-get NOT, AND dan OR. (8 markah)
- S2** (a) Pertimbangkan litar seperti yang ditunjukkan dalam Rajah S2(a).
- (i) Tunjukkan jadual kebenaran untuk fungsi logik f .
- (ii) Sekiranya setiap get dalam litar dilaksanakan dengan get CMOS, berapakah transistor diperlukan? (8 markah)
- (b) Terbitkan get kompleks CMOS untuk fungsi logik $f = xy + xz + yz$. Gunakan minimal transistor. (12 markah)
- S3** (a) Melaksanakan litar logik dalam Rajah S3(a) menggunakan get NAND sahaja. (10 markah)
- (b) Tulis kod VHDL untuk melaksanakan litar dalam (a). (10 markah)
- S4** (a) Tentukan nilai decimal yang berikut:
- (i) nombor tak bertanda $(A25F)_{16}$
- (ii) nombor perlengkap 1 1011100111
- (iii) nombor pelengkap 2 0111011110 (8 markah)
- (b) Rekabentuk pendarab laju 4×4 menggunakan struktur tatasusunan. (12 markah)

- S5** (a) Untuk fungsi $f(w_1, w_2, w_3) = \Sigma m(0, 2, 3, 6)$, gunakan perkembangan untuk terbitkan pelaksanaan menggunakan pendarab 2-ke-1 dan sebarang get-get yang lain. (8 markah)
- (b) Tulis kod VHDL untuk nyahkod perduaan 4-ke-2 menggunakan 'selected signal assignment'. (12 markah)
- S6** (a) Tunjukkan bagaimana flip-flop JK boleh dibentuk dengan menggunakan flip-flop T dan get-get logik yang lain. (5 markah)
- (b) Tulis kod VHDL yang mewakili flip-flop JK. Guna kod *behavioral*. (15 markah)
- S7** (a) Rekabentuk pembilang modular-6, dimana membilang dalam turutan 0, 1, 2, 3, 4, 5, 0, 1, Pembilang membilang picuan jam sekira inputnya diaktifkan, w , adalah sama dengan 1. Gunakan flip-flop D dalam litar. (10 markah)
- (b) Ulang (a) menggunakan flip-flop T. (10 markah)

- Q1** Design a circuit with output f and inputs x_1, x_0, y_1 and y_0 . Let $X = x_1x_0$ be a number, where the four possible values of X , namely, 00, 01, 10 and 11, represent the four numbers 0, 1, 2 and 3, respectively. Similarly, let $Y = y_1y_0$ represent another number with the same four possible values. The output f should be 1 if the numbers represented by X and Y are equal. Otherwise, f should be 0.
- (a) Show the truth table for f . (8 marks)
- (b) Synthesize the simplest possible product-of-sums expression for f . (4 marks)
- (c) Implement the circuit using NOT, AND and OR gates. (8 marks)
- Q2** (a) Consider the circuit shown in Figure Q2(a).
- (i) Show the truth table for the logic function f .
- (ii) If each gate in the circuit is implemented as a CMOS gate, how many transistors are needed? (8 marks)
- (b) Derive a CMOS complex gate for the logic function $f = xy + xz + yz$. Use as few transistors as possible. (12 marks)
- Q3** (a) Implement the logic circuit in Figure Q3(a) using NAND gates only. (10 marks)
- (b) Write VHDL code to implement the circuit in (a). (10 marks)
- Q4** (a) Determine the decimal values of the following:
- (i) unsigned number $(A25F)_{16}$
- (ii) 1's complement number 1011100111
- (iii) 2's complement number 0111011110 (8 marks)
- (b) Design a 4×4 fast multiplier using an array structure. (12 marks)

- Q5** (a) For the function $f(w_1, w_2, w_3) = \Sigma m(0, 2, 3, 6)$, use Shannon's expansion to derive an implementation using a 2-to-1 multiplexer and any other necessary gates. (8 marks)
- (b) Write VHDL code for a 4-to-2 binary encoder using a selected signal assignment. (12 marks)
- Q6** (a) Show how a JK flip-flop can be constructed using a T flip-flop and other logic gates. (5 marks)
- (b) Write VHDL code that represents a JK flip-flop. Use behavioral code, rather than structural code. (15 marks)
- Q7** (a) Design a module-6 counter, which counts in the sequence 0, 1, 2, 3, 4, 5, 0, 1, The counter counts the clock pulses if its enable input, w , is equal to 1. Use D flip-flops in your circuit. (10 marks)
- (b) Repeat (a) using T flip-flops. (10 marks)

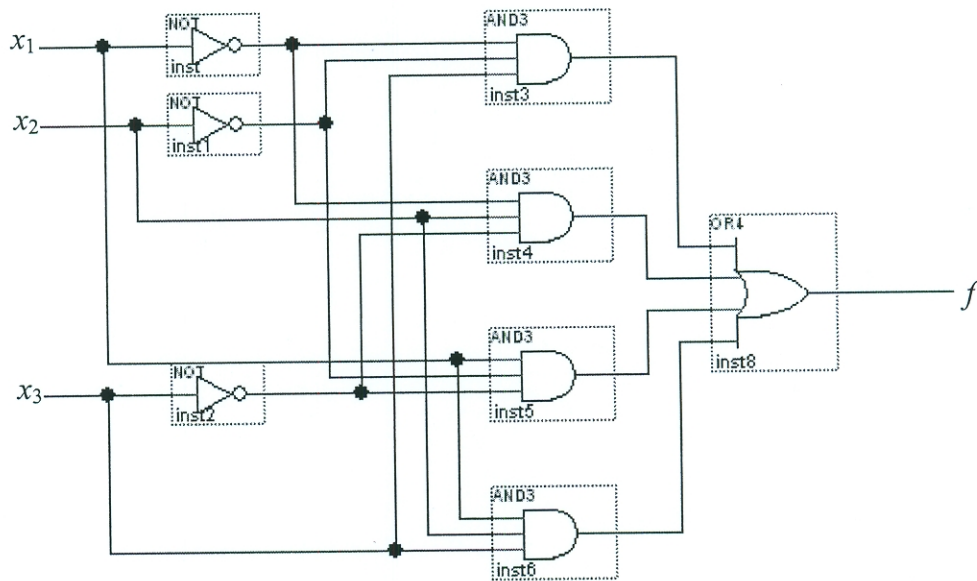
PEPERIKSAAN AKHIR

SEMESTER/SESI : SEMESTER II/2004/2005

KURSUS : 3 BEE / 3 BKE

MATA PELAJARAN: REKABENTUK SISTEM DIGIT /
REKABENTUK LITAR DIGIT

KOD MATA PELAJARAN : BEE 3133 /
BKE 3413



Rajah S2(a) / Figure Q2(a)

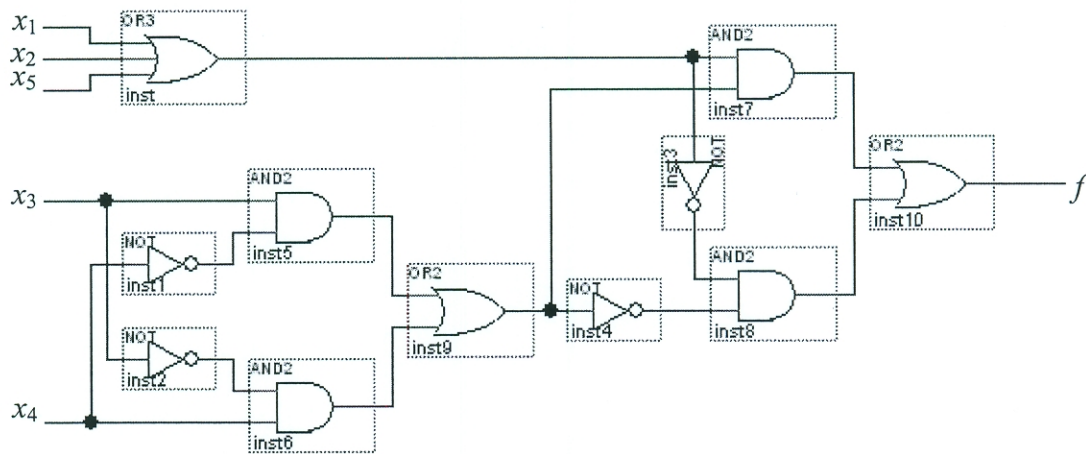
PEPERIKSAAN AKHIR

SEMESTER/SESI : SEMESTER II/2004/2005

KURSUS : 3 BEE / 3 BKE

MATA PELAJARAN: REKABENTUK SISTEM DIGIT /
REKABENTUK LITAR DIGIT

KOD MATA PELAJARAN : BEE 3133 /
BKE 3413



Rajah S3(a) / Figure Q3(a)